

(51) Int.Cl.⁶
 H 04 L 12/28
 H 04 Q 3/00

識別記号

F I
 H 04 L 11/20 H
 H 04 Q 3/00
 H 04 L 11/20 G

審査請求 未請求 請求項の数2 OL (全8頁)

(21)出願番号 特願平9-281930

(22)出願日 平成9年(1997)10月15日

(71)出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (71)出願人 000153454
 株式会社日立インフォメーションテクノロジー
 神奈川県秦野市堀山下1番地
 (72)発明者 松山 信仁
 神奈川県秦野市堀山下1番地 株式会社日立インフォメーションテクノロジー内
 (74)代理人 弁理士 筒井 大和

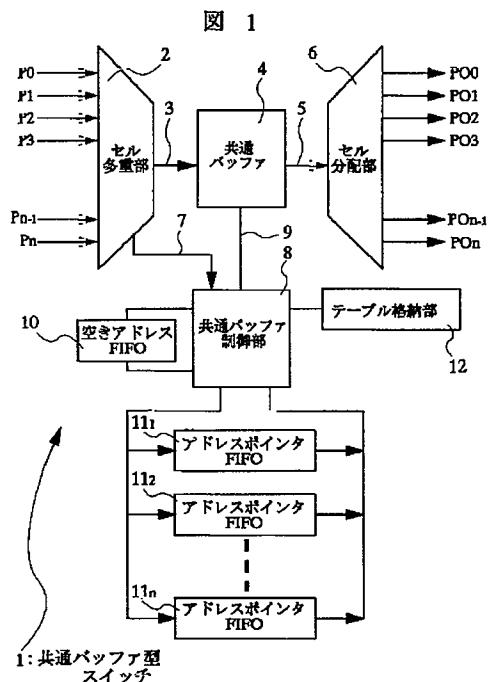
最終頁に続く

(54)【発明の名称】 共通バッファ型スイッチ

(57)【要約】

【課題】 セルバッファアドレスポイントFIFOの数を大幅に増加させることなく、高効率なトラフィック制御を行う。

【解決手段】 共通バッファ制御部8は、使用するセルバッファアドレスFIFO番号を取得し、セルを共通バッファ4に格納するアドレスを空きアドレスFIFO10から取得し、共通バッファ4に転送されたセルのヘッダ、ペイロードを共通バッファ4に書き込み、空きアドレスFIFO10から取得したアドレスを対応するセルバッファアドレスポイントFIFO11₁～11_nにキューイングする。キューイングされたセルは共通バッファ制御部8のセル出力タイミングに基づきセルバッファアドレスポイントFIFO11₁～11_nから格納セルアドレスを読み出して共通バッファ4に格納されたセルを読み出してセルを出力し、レベルの高いクラスほど優先的に読み出す。



【特許請求の範囲】

【請求項1】セルを共通バッファに一時的に記憶し、読み出し順序を制御することによりルーティングを行う共通バッファ型スイッチであって、前記共通バッファに格納されたセルがキューを構成するよう前記共通バッファ内のセル格納アドレスを順次記憶する複数のセルバッファアドレスポインタFIFOと、前記セルバッファアドレスポインタFIFOの各々における出力ポートの割り当てならびに優先クラスの割り当てを行うFIFO割り当てテーブルが格納された第1の格納部と、前記第1の格納部のFIFO割り当てテーブルに定義された情報に基づいてセルのキューイングを制御する共通バッファ制御部とを備えたことを特徴とする共通バッファ型スイッチ。

【請求項2】請求項1記載の共通バッファ型スイッチにおいて、前記FIFO割り当てテーブルに定義された情報に基づいて構成した優先キューにおける読み出し制御を指定するセル読み出し制御テーブルが格納された第2の格納部を設けたことを特徴とする共通バッファ型スイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、共通バッファ型スイッチに関し、特に、ATM (Asynchronous Transfer Mode) スイッチにおけるトラフィック制御に適用して有効な技術に関するものである。

【0002】

【従来の技術】本発明者が検討したところによれば、固定長のセルをルーティングするATM交換機などでは、たとえば、セルを大容量の共通化されたバッファに一旦記憶し、読み出しの順序を制御することによってルーティングを行う共通バッファ型スイッチが用いられている。

【0003】これは、出力ポートに対応してセルバッファアドレスポインタFIFO (First In First Out) を設けておき、入力されたセルを共通バッファに格納するとともに、それぞれのセルの格納アドレスを各セルの出力先の出力ポートに対応するセルバッファアドレスポインタFIFOに書き込み、セル出力タイミングに基づき共通バッファに格納されているセルだけを読み出して出力するものである。

【0004】このような共通バッファ型スイッチにおいて遅延、廃棄制御などの優先制御を行うためには、出力ポート毎に2つまたは4つ程度のセルをキューイングする優先キューを設け、この優先キューにセルを書き込む際にキューのたまり具合を見ながら廃棄制御を行い、読み出す際にキューから読み出す順番を優先づけすること

で遅延制御を行い、優先制御機能を実現している。

【0005】また、優先キューが多ければ多いほど、きめ細かい優先制御（たとえば、音声、動画、データといった特性の異なるトラフィックの使用する優先キューを分けることにより、その他のトラフィックの影響を受けなくする制御など）が可能となる。

【0006】なお、この種のATMについて詳しく述べてある文献としては、1996年7月1日、株式会社アスキー発行、マルチメディア通信学会（編）、「標準ATM教科書」P50～P56があり、この文献には、ATM交換機における各種のトラフィック制御について記載されている。

【0007】

【発明が解決しようとする課題】ところが、上記のような共通バッファ型スイッチでは、次のような問題点があることを本発明者は見い出した。

【0008】きめ細かい優先制御を実現するためにセルの優先キューを増やそうとする場合、セルの優先キューの数に応じて前述したセルバッファアドレスポインタFIFOを増やす必要がある。

【0009】たとえば、ポート数が16、セルバッファ容量が32kセル、優先キューのキュー長が32kエントリ、ポート当たりの優先クラスが1個しかない共通バッファスイッチを構成しようとした場合、セルバッファを構成するために必要なメモリ容量は、約1.7メガバイト（53バイト×32k）であり、セルバッファアドレスポインタFIFOを構成するために必要なメモリ容量は、1メガバイト（16ポート×32kエントリ×2バイト×クラス1）である。

【0010】しかし、セルバッファ容量は32kセル（1.7メガバイト）のままにしておき、各ポート当たりの優先クラスを8クラスに増やした場合、セルバッファアドレスポインタFIFOを構成するために必要なメモリ容量は8メガバイト（32kエントリ×2バイト×16ポート×8クラス）となり、これはセルバッファ容量の1.7メガバイトに比べて約4.7倍の値となる。

【0011】すなわち、優先制御のためのポート当たりの優先クラスを増やそうすると、セルバッファを構成するメモリ容量に比べてセルバッファアドレスポインタキューを構成するメモリ容量の方が多くなり、コスト面や実装面での実現が難しくなるという問題がある。

【0012】本発明の目的は、セルバッファアドレスポインタFIFOの数を大幅に増加させることなく、高効率なトラフィック制御を行うことのできる共通バッファ型スイッチを提供することにある。

【0013】

【課題を解決するための手段】本発明の共通バッファ型スイッチは、共通バッファに格納されたセルがキューを構成するように該共通バッファ内のセル格納アドレスを順次記憶する複数のセルバッファアドレスポインタFIFO

FOと、セルバッファアドレスポインタ FIFOの各々における出力ポートの割り当てならびに優先クラスの割り当てを行う FIFO割り当てテーブルが格納された第1の格納部と、当該第1の格納部の FIFO割り当てテーブルに定義された情報に基づいてセルのキューイングを制御する共通バッファ制御部とを備えたものである。【0014】また、本発明の共通バッファ型スイッチは、前記 FIFO割り当てテーブルに定義された情報に基づいて構成した優先キューにおける読み出し制御を指定するセル読み出し制御テーブルが格納された第2の格納部を設けたものである。

【0015】以上のことにより、ポート毎の優先優先クラス数を増減できるので、少ないセルバッファアドレス FIFOで、効率よくトライフィック制御を行うことができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0017】(実施の形態1) 図1は、本発明の実施の形態1による共通バッファ型スイッチのブロック図、図2、図3は、本発明の実施の形態1による共通バッファ型スイッチに用いられるそれぞれ異なる例の FIFO割り当てテーブルの説明図、図4、図5は、本発明の実施の形態1による共通バッファ型スイッチの共通バッファに構成されるキュー構成のそれぞれの異なる例の説明図、図6は、本発明の実施の形態1に用いられるセルのフォーマット図、図7は、本発明の実施の形態1による共通バッファ型スイッチの共通バッファ制御部におけるセルのフォーマットブロック図である。

【0018】本実施の形態1において、共通バッファ型ATMスイッチ1は、ATM-LAN (Local Area Network) のATM交換機などに用いられるATMセルフルーティング・スイッチの1つである。この共通バッファ型スイッチ1は、該ATM-LANの回線網を介して複数の入力ポートP0～Pnに入力されたセルS(図6)を多重化するセル多重部2を備えている。

【0019】また、セル多重部2は、該セル多重部2から多重出力されたセルSを転送する信号線3を介して共通バッファ4に接続されている。共通バッファ4は、セル多重部2から多重出力されたセルSを一時的にバッファリングする。

【0020】さらに、共通バッファ4は、該共通バッファ4から読み出されたセルSを転送する信号線5を介してセル分配部6に接続されている。このセル分配部6は、共通バッファ4から読み出されたセルSを受け取り、複数の出力ポートP00～POnにおける所定の出力ポートに分配する。

【0021】また、セル多重部2は、ルーティング情報転送インタフェース線7を介して共通バッファ制御部8

に接続されている。この共通バッファ制御部8は、制御信号線9を介して共通バッファ4に接続されている。

【0022】共通バッファ制御部8には、共通バッファ4の空きバッファアドレスを順次記憶する空きアドレス FIFO10、およびセルバッファアドレスポインタ FIFO111～11nが接続されている。このセルバッファアドレスポインタ FIFO111～11nは、共通バッファ4に格納されたセルSがキューを構成するよう共通バッファ4内におけるセル格納アドレスを順次格納する。

【0023】さらに、共通バッファ制御部8には、テーブル格納部(第1の格納部)12が接続されている。テーブル格納部12には、それぞれのセルバッファアドレスポインタ FIFO111～11nをどの出力ポートP00～POnの、どの優先クラスに割り当てるかを定義する FIFO割り当てテーブルFTが格納されている。共通バッファ制御部8は、この FIFO割り当てテーブルFTに定義された情報に基づいて共通バッファ4に対するセルSのキューイングを制御する。

【0024】テーブル格納部12に格納されている FIFO割り当てテーブルFTには、図2、図3に示すように、共通バッファ制御部8が様々な優先制御機能を制御するために定義された種々の割り当て情報のテーブルがある。例示的に図2、図3に示された FIFO割り当てテーブルFTには、出力ポートP00～POn(図1)の番号である出力ポート番号D1と優先クラス番号D2に対応してセルバッファアドレスポインタ番号D3が書き込まれており、これら FIFO割り当てテーブルFTでは、優先クラス番号D2の定義が異なっている。

【0025】ここで、図2および図3に示される FIFO割り当てテーブルFTにおいて定義されるキュー構成を図4、図5を用いて説明する。

【0026】まず、図2における FIFO割り当てテーブルFTで定義した割り当て情報の場合、図4に示すように、すべてのポート番号0～Nに4つの優先クラスがあり、すべて同じキュー構成となるように定義される。

【0027】一方、図3の FIFO割り当てテーブルFTで定義した割り当て情報の場合、図5に示すように、優先キューの数が6つあるポートと優先キューの数が2つあるポートとが交互に現れるように定義される。

【0028】ここで、ATM-LANの回線網を介して共通バッファ型スイッチ1の複数の入力ポートP0～Pnに入力されるセルSのフォーマットについて説明する。セルSは、図6に示すように、どの仮想バスを使用するかを識別するための仮想バス識別子(VPI)、経路と各中継区間で使用する番号である仮想チャネル識別子(VCI)、ユーザ情報のタイプを示すペイロードタイプ、およびヘッダ誤り制御コードなどからなるヘッダHと、ユーザデータを転送するフィールドであるペイロードPによって構成されている。

【0029】また、共通バッファ型スイッチ1内部において、セルSが自己ルーティングを行う情報であるセルS1のフォーマットについて説明すると、セルS1は、図7に示すように、出力ポートP00～POn（図1）に割り付けられた番号である出力ポート番号C1および優先クラス番号C2からなるルーティング情報フィールドFと、前述したヘッダH、およびペイロードPによって構成されている。

【0030】次に、本実施の形態の作用について図1～図3、図6、図7を用いて説明する。

【0031】まず、セル多重部2は、入力ポートP0～Pnから入力されたセルSのヘッダHに格納されている仮想バス識別子ならびに仮想チャネル識別子から予め設定されている出力ポートP00～POnの番号である出力ポート番号C1、優先クラス番号C2のルーティング情報を得る。

【0032】そして、セル多重部2は、これらルーティング情報を共通バッファ制御部8に転送するとともに、セルSのヘッダHおよびペイロードPを共通バッファ4に転送する。

【0033】また、共通バッファ制御部8は、セル多重部2から送られてくる出力ポート番号C1と優先クラス番号C2を受け取ると、テーブル格納部12に格納されたFIFO割り当てテーブルFTを検索することによって複数のセルバッファアドレスポインタ FIFO111～11nのどのセルバッファアドレスポインタ番号D3を用いてキューイングを行うかを認識する。

【0034】さらに、共通バッファ制御部8は、出力ポート番号C1、優先クラス番号C2とFIFO割り当てテーブルFTの出力ポート番号D1、優先クラス番号D2とが一致するエントリを検索し、使用すべきセルバッファアドレスポインタ番号D3を得ることができる。

【0035】そして、共通バッファ制御部8は、前述した方法によって使用すべきセルバッファアドレスポインタ番号を取得すると同時に、セルSを共通バッファ4に格納するためのアドレスを空きアドレス FIFO10から取得する。

【0036】次に、共通バッファ制御部8は制御信号を出力し、先にセル多重部2から共通バッファ4に転送されたセルSのヘッダHおよびペイロードPを共通バッファ4に書き込むと同時に、空きアドレス FIFO10から取得したセルSのアドレスを対応するセルバッファアドレスポインタ FIFO111～11nにキューイングする。

【0037】共通バッファ制御部8は、そのセル出力タイミングに基づきキューイングされた各々のセルバッファアドレスポインタ FIFO111～11nから格納セルアドレスを読み出し、それに基づいて共通バッファ4に格納されているセルSを読み出して出力する。

【0038】よって、1つの出力ポートの複数の優先キューにセルSが転換した場合に、レベルの高いクラスほど優先的に読み出すように制御を行うことができる。

【0039】それにより、本実施の形態1では、FIFO割り当てテーブルFTの設定値を要求仕様に応じて自在にかえることにより、出力ポートP00～POn毎の優先キューをフレキシブルに変更させることができるので、少ないセルバッファアドレスポインタ FIFO111～11nにより、効率の良いトラフィック制御を行うことができる。

【0040】（実施の形態2）図8は、本発明の実施の形態2による共通バッファ型スイッチのブロック図、図9、図10は、本発明の実施の形態2による共通バッファ型スイッチに用いられるセル読み出し制御テーブルのそれぞれ異なる例の説明図である。

【0041】本実施の形態2においては、共通バッファ型スイッチ1に、図8に示すように、セルテーブル格納部（第2の格納部）13が設けられ、このセルテーブル格納部13には、セル読み出し制御テーブルSTが格納されている。

【0042】このセル読み出し制御テーブルSTは、図9、図10に示すように、各出力ポート番号E1に対応する優先制御、ならびに重みづけの比率が定義された種々のテーブルである。

【0043】例示的に示された図9、図10のセル読み出し制御テーブルSTには、出力ポートP00～POn（図8）の番号であるそれぞれの出力ポート番号E1と、その出力ポートE1に対応する優先制御の定義である優先制御モードE2と、重みづけの比率の定義である詳細情報E3とが書き込まれており、これらのセル読み出し制御テーブルSTでは、優先制御モードE2および詳細情報E3の定義が異なっている。

【0044】また、このセル読み出し制御テーブルSTは、テーブル格納部12に格納されたFIFO割り当てテーブルFTで定義された情報に基づき構成したキュー読み出し制御方法を指定する。

【0045】優先制御モードE2には、どのような読み出しを行うかといった動作モードにかかる情報が格納されている。ここでは、優先制御モードE2のフィールドに'0'が書かれている場合は完全優先制御を、'1'が書かれている場合には重みづけ優先制御を、'2'が書かれている場合は均等制御を意味するものとする。

【0046】また、完全優先制御は、キューの番号が小さいほど優先順位が高く、優先順位の高いキューにセルが溜まっている間は、優先順位の低いキューのセルは読み出さないようにする制御である。

【0047】さらに、重みづけ優先制御は、各キューの重みづけ情報として詳細情報E3のフィールドに各キューの比率が書き込まれている。複数のキューにセルが滞留した場合、この詳細モードE2のフィールドに基づい

て読み出しを行う制御である。

【0048】また、均等制御は、複数のキューにセルが滞留した場合、すべてのキューの読み出しが均等になるような制御である。さらに、このセル読み出し制御テーブルSTに各キューの帯域管理情報（読み出し速度を規定する情報）を格納しておき、これに基づいてセルの読み出し制御を行うようにしてもよい。

【0049】ここで、たとえば、FIFO割り当てテーブルFT（図2）の情報によれば、先に述べたようにすべてのポート番号0～Nに4つの優先クラスがあり、図4に示すようにすべての出力ポートPO0～POnが4つのキュー構成となるように定義されている。

【0050】これに対応するセル読み出し制御テーブルSTによるとポート番号0は、優先制御モードE2が'0'で完全優先制御となり、図4におけるキュー番号203よりもキュー番号202が、キュー番号202よりもキュー番号201が、キュー番号201よりもキュー番号200が優先的に読み出されることになる。

【0051】また、ポート番号1は、優先制御モードE2が'1'であるので重みづけ優先制御となり、図4におけるキュー番号204～207の読み出し比率は同じエントリの詳細情報E3の値を参照して、8:4:2:1の割合で読み出されることになる。

【0052】さらに、ポート番号Nもポート番号0と同様に、優先制御モードE2が'0'で完全優先情報となり、図4におけるキュー番号20Mよりもキュー番号20M-1がキュー番号20M-1よりもキュー番号20M-2が、キュー番号20M-2よりもキュー番号20M-3が優先的に読み出されることになる。

【0053】一方、図3のFIFO割り当てテーブルFTによれば、図5に示すような優先キューの数が6つある出力ポートと優先キューが6つある出力ポートが交互に現れるように定義される。

【0054】これに対応する図10におけるセル読み出し制御テーブルSTによると、ポート番号0は優先制御モードE2が'1'であるから重みづけ優先制御となり、図5におけるキュー番号200～205の読み出し比率は、同じエントリの詳細情報E3の値を参照して、32:16:8:4:2:1の割合で読み出される。

【0055】また、ポート番号1は、優先制御モードE2が1で重みづけ優先制御となり、図5におけるキュー番号Mよりもキュー番号M-1が優先的に読み出されることになる。

【0056】それにより、本実施の形態2においては、セル読み出し制御テーブルSTの値を自由に変更することができるので、それぞれの出力ポートPO0～POn毎の優先制御をフレキシブル変更することができ、より効率の良いトラフィック制御を行うことができる。

【0057】本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能で

あることはいうまでもない。

【0058】

【発明の効果】

(1) 本発明によれば、出力ポート毎の優先クラス数を自由にマッピングできるので、少ないセルバッファアドレスポインタFIFOにより、効率よくトラフィック制御を行うことができる。

【0059】(2) また、本発明では、セル読み出し制御テーブルの値を自由に変更することができるので、それそれの出力ポート毎の優先制御をフレキシブル変更することができ、より効率の良いトラフィック制御を行うことができる。

【0060】(3) さらに、本発明においては、上記(1)、(2)により、共通バッファ型スイッチを低コストでかつ小型化することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による共通バッファ型スイッチのブロック図である。

【図2】本発明の実施の形態1による共通バッファ型スイッチに用いられるFIFO割り当てテーブルの一例の説明図である。

【図3】本発明の実施の形態1による共通バッファ型スイッチに用いられるFIFO割り当てテーブルの他の例の説明図である。

【図4】本発明の実施の形態1による共通バッファ型スイッチの共通バッファに構成されるキュー構成の一例の説明図である。

【図5】本発明の実施の形態1による共通バッファ型スイッチの共通バッファに構成されるキュー構成の他の例の説明図である。

【図6】本発明の実施の形態1に用いられるセルのフォーマット図である。

【図7】本発明の実施の形態1による共通バッファ型スイッチの共通バッファ制御部におけるセルのフォーマットブロック図である。

【図8】本発明の実施の形態2による共通バッファ型スイッチのブロック図である。

【図9】本発明の実施の形態2による共通バッファ型スイッチに用いられるセル読み出し制御テーブルの一例の説明図である。

【図10】本発明の実施の形態2による共通バッファ型スイッチに用いられるセル読み出し制御テーブルの他の例の説明図である。

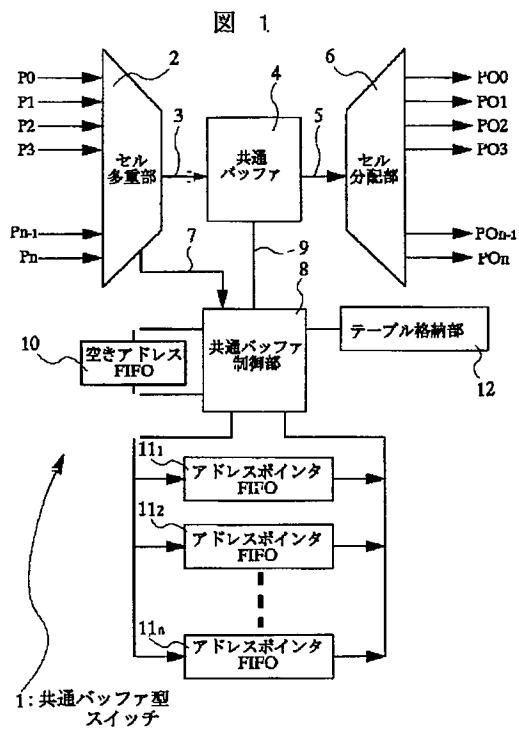
【符号の説明】

1…共通バッファ型スイッチ、2…セル多重部、3…信号線、4…共通バッファ、5…信号線、6…セル分配部、7…ルーティング情報転送インタフェース線、8…共通バッファ制御部、9…制御信号線、10…空きアドレスFIFO、11₁～11_n…セルバッファアドレスポインタFIFO、12…テーブル格納部（第1の格納

部), 13…セルテーブル格納部(第2の格納部), F T…FIFO割り当てテーブル, ST…セル読み出し制

御テーブル。

【図1】

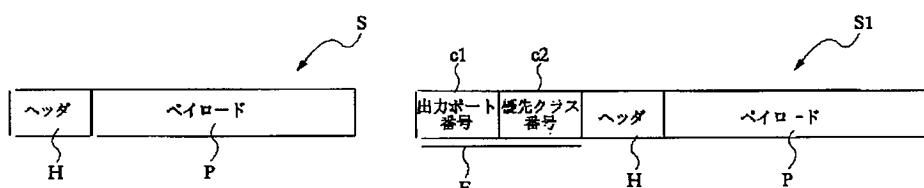


【図2】

D1	D2	D3
出力ポート番号	優先クラス番号	セルバッファアドレス ポインタ番号
0	0	0
0	1	1
0	2	2
0	3	3
1	0	4
1	1	5
1	2	6
1	3	7
⋮	⋮	⋮
N-1	0	M-7
N-1	1	M-6
N-1	2	M-5
N-1	3	M-4
N	0	M-3
N	1	M-2
N	2	M-1
N	3	M

【図6】

図 6



【図7】

図 7

【図9】

図 9

E1	E2	E3	詳細情報
出力ポート番号	優先制御モード	詳細情報	
0	0	—	
1	1	8:4:2:1	
2	2	—	
3	0	—	
N	0	—	

Legend for E1, E2, E3:

- 0: 完全優先制御
- 1: 重み付け優先制御
- 2: 均等制御

【図10】

E1	E2	E3	詳細情報
出力ポート番号	優先制御モード	詳細情報	
0	1	32:16:8:4:2:1	
1	1	2:1	
2	2	—	
3	0	—	
N	0	—	

Legend for E1, E2, E3:

- 0: 完全優先制御
- 1: 重み付け優先制御
- 2: 均等制御

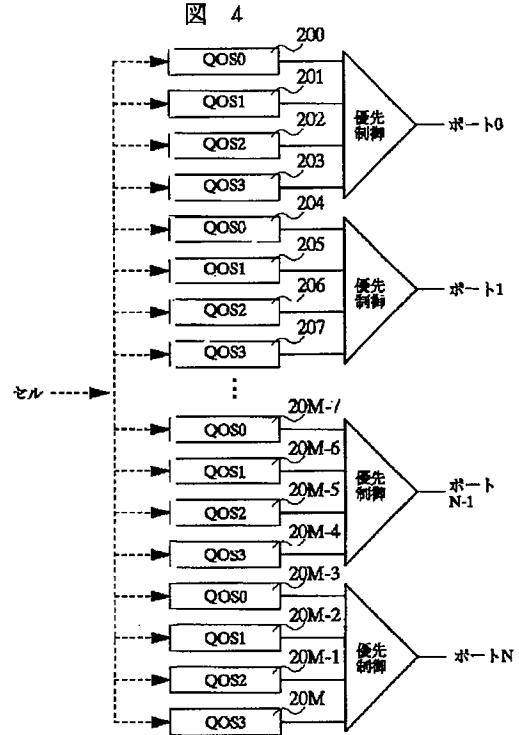
【図3】

図3

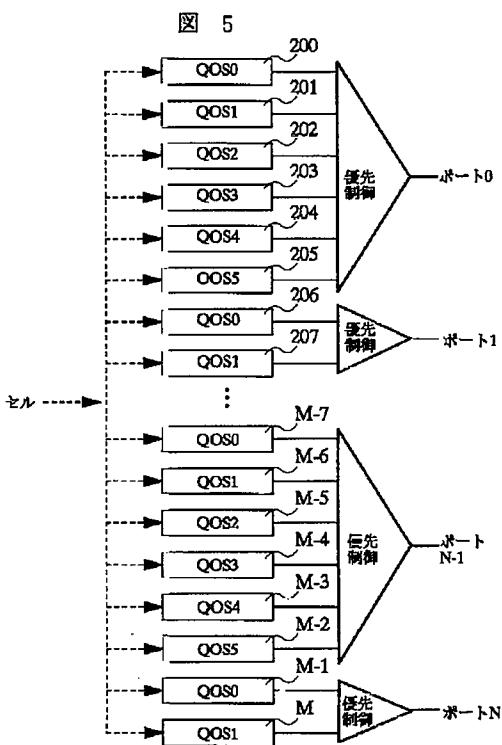
出力ポート番号	優先クラス番号	セルバッファアドレス ポイント番号
0	0	0
0	1	1
0	2	2
0	3	3
0	4	4
0	5	5
1	0	6
1	1	7
⋮	⋮	⋮
N-1	0	M-7
N-1	1	M-6
N-1	2	M-5
N-1	3	M-4
N-1	4	M-3
N-1	5	M-2
N	0	M-1
N	1	M

FT

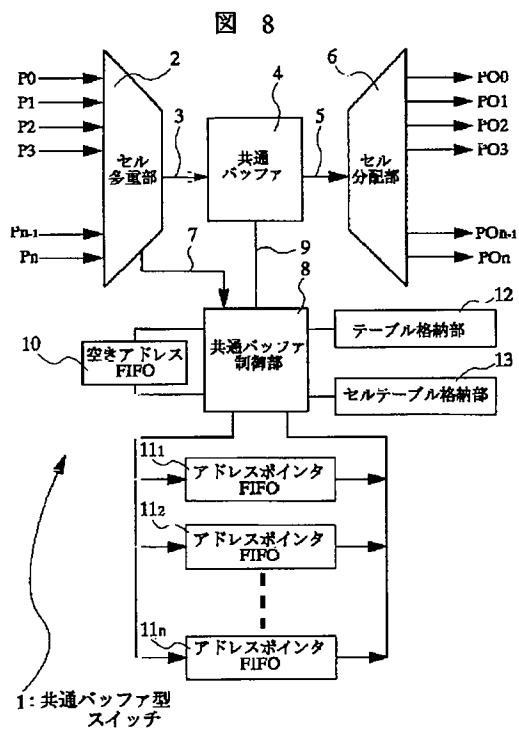
【図4】



【図5】



【図8】



フロントページの続き

(72)発明者 大谷 剛朗
神奈川県秦野市堀山下1番地 株式会社日
立インフォメーションテクノロジー内
(72)発明者 須貝 和雄
神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内

(72)発明者 伊勢 省二
神奈川県秦野市堀山下1番地 株式会社日
立インフォメーションテクノロジー内
(72)発明者 河村 秀典
神奈川県秦野市堀山下1番地 株式会社日
立インフォメーションテクノロジー内